

طراحی و پیاده سازی یک تقویت کننده پهن باند، با بازدهی بالا و توان خروجی بیش از ۹۰ وات با استفاده از مدل لودپول و پارامترهای غیرخطی ایکس

حمید طالب الحق نیا^۱، سید حسین جاوید حسینی^۲، وحید نیری^۳

nayyeri@iust.ac.ir

۱ و ۲- دانشجوی کارشناسی ارشد دانشکده فناوری های نوین، دانشگاه علم و صنعت ایران

۳- استادیار دانشکده فناوری های نوین، دانشگاه علم و صنعت ایران

چکیده

این مقاله طراحی، ساخت و نتایج اندازه گیری یک تقویت کننده توان در باند فرکانسی ۱-۳ گیگاهرتز با بازدهی بالا و ۹۰ وات توان خروجی را ارائه می دهد. روش مورد استفاده برای طراحی، سورس پول/لودپول و مدل سازی ترانزیستور با استفاده از پارامترهای ایکس بوده است. پارامترهای ایکس با استفاده از مدل ریاضی غیرخطی که در اختیار طراحان بود، بدست آمده است. طبق آنچه از نتایج اندازه گیری به دست آمده است، تقویت کننده ساخته شده دارای توان خروجی بیشتر از ۴۹ دسی بل میلی وات، بازدهی درین بهتر از ۴۱,۴ درصد و بهره توان بهتر از ۹,۴ دسی بل در بازه فرکانسی ۱-۳ گیگاهرتز می باشد. کلمات کلیدی- مدارهای تطبیق پهن باند، بازدهی، لودپول، سورس پول، تقویت کننده های توان پهن باند، پارامترهای ایکس.

واژگان کلیدی: پارامترهای ایکس، تقویت کننده های توان پهن باند، تقویت کننده متعادل، مدارهای تطبیق پهن باند.

تاریخ دریافت مقاله : ۹۸/۰۹/۳۰

تاریخ پذیرش مقاله : ۹۸/۱۲/۰۷

۱- مقدمه

پارامترهای زیادی برای تعیین عملکرد یک تقویت کننده توان وجود دارند که مهمترین آنها پهنای باند، بازدهی و توان خروجی هستند. هدف هر طراح رسیدن به مقدار هرچه بیشتر در هر یک از پارامترهای ذکر شده است. در حالیکه طراحی یک تقویت کننده با بازدهی مطلوب و توان خروجی زیاد اما پهنای باند باریک، یا طراحی یک تقویت کننده کم توان اما بسیار پهن باند کار راحتی است، طراحی یک تقویت کننده پهن باند، با بازدهی و توان خروجی بالا نیازمند طی راه کارهای متفاوتی در طراحی بوده که مهم ترین بخش آن، طراحی مدارهای تطبیق است. امپدانس های بار و منبعی که ترانزیستور فرکانس رادیویی نیاز دارد ببیند تا عملکرد دلخواهی ارائه دهد غالباً در ناحیه اتصال کوتاه نمودار اسمیت قرار دارند که به نوبه خود طراحی مدارهای تطبیق را کاری بسیار دشوار خواهد کرد.

برای طراحی مدارهای تطبیق یک ترانزیستور فرکانس بالای توان که با استفاده از روش های لودپول و سورس پول مدل سازی می شود، روش های زیادی وجود دارند که مبتنی بر بهینه سازی هستند. تطبیق با استفاده از روش فیلتر کردن [۱]، فرکانس حقیقی [۲] و فرکانس حقیقی ساده شده [۳ و ۴] از جمله روش های شناخته شده تر هستند. خروجی این روش ها عمدتاً به صورت سلف و خازن (المان لامپی) است که باید به شبکه های قابل پیاده سازی گسترده تبدیل شوند. از طرف دیگر، روش های بهینه سازی دیگری وجود دارند که در آنها مدارهای تطبیق گسترده به صورت مستقیم خروجی الگوریتم بهینه سازی است [۵-۷].

تمامی این روش ها، با امپدانس سر و کار دارند و امپدانس ورودی را به سمتی سوق می دهند که ترانزیستور باید ببیند. به عبارت دیگر، در این روش ها، طراح نمی تواند به صورت مستقیم، توان خروجی و بازدهی را به عنوان تابع هدف برای بهینه سازی تعریف کند. با در نظر گرفتن این حقیقت که تطبیق ایده آل در یک پهنای باند گسترده ممکن نیست (خصوصاً زمانی که امپدانس های هدف به مرکز نمودار سمت نزدیک نیستند)، یک پسا-تنظیم برای کل مدار برای دستیابی به اهداف طراحی در پهنای باند نیاز است که با استفاده از مدل غیرخطی فشرده ترانزیستور انجام می گیرد. پارامترهای ایکس [۸]، یک روش مدل سازی رو به رشد است که براساس اعوجاج پلی هارمونیک می باشد [۹] و یک رهیافت مدرن و کارآمد برای

مدلینگ رفتار غیرخطی ادوات میکروویو است. این مدل، در واقع یک بسط ریاضی براساس پارامترهای پراکندگی سیگنال کوچک و سیگنال بزرگ است که حاوی اطلاعات دامنه و فاز هارمونیک های فرکانسی است. اگرچه مدل سازی قطعات میکروویو با استفاده از پارامترهای ایکس توجه بسیاری را به خود جلب کرده است، مقالات اندکی مبتنی بر اعمال مدل پارامترهای ایکس یک ترانزیستور برای طراحی تقویت کننده توان گزارش شده اند [۱۰-۱۲].

یکی از دلایل محتمل بر این موضوع می تواند این باشد که غالباً پارامترهای ایکس توسط کارخانه های سازنده ادوات ارائه نشده و تولید یا استخراج آنها چه با اندازه گیری (با استفاده از تحلیل گر شبکه غیرخطی) یا بوسیله شبیه سازی (از یک مدل غیرخطی ترانزیستور) یک فرآیند بسیار زمان بر بوده و وابسته به نقاط در نظر گرفته شده برای بار، سطوح توان و فرکانس هایی که باید جاروب شوند است [۱۳].

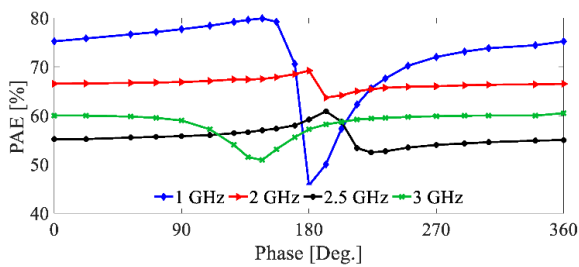
بنابر این، طراحان ترجیح می دهند از مدل های غیرخطی در دسترس (یا داده های لودپول و سورس پول) به جای گذراندن زمان زیاد برای استخراج پارامترهای ایکس، استفاده نمایند. با این وجود زمانی که پارامترهای ایکس به درستی تولید شوند، مدل به دست آمده می تواند برتری بسیاری نسبت به مدل غیرخطی ارائه داده و زمان شبیه سازی را بسیار کوتاه تر کند. همچنین مشکلات همگرا شدن شبیه سازی هارمونیک بالانس خصوصاً در بهینه سازی های غیرخطی را بسیار کاهش دهد [۱۳].

در این تحقیق، روند طراحی و ساخت یک تقویت کننده توان پهن باند، با بازدهی بالا و توان خروجی بالا ارائه خواهد شد. در روال طراحی، از ترکیب هر دو روش سورس پول/لودپول و پارامترهای ایکس استفاده شده است. از مزایای استفاده از مدل ایکس، پایداری حین بهینه سازی و جلوگیری از مشکلات عدم همگرایی [۱۳] است که دستیابی به توان خروجی بیشتر از ۴۸٫۸ دسیبل میلی وات و بازدهی درین بهتر از ۴۲٫۷ درصد در پهنای باند وسیع ۳-۱ گیگاهرتز، به دست آمده از نتایج اندازه گیری را برایمان مسیر ساخت.

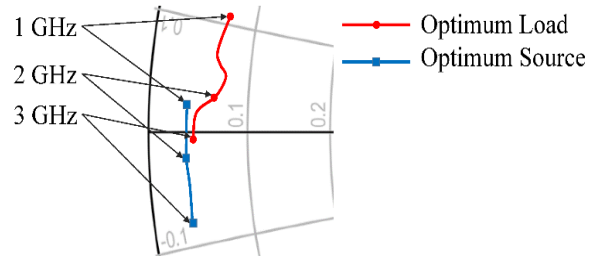
۲- روند طراحی

برای این کار، هدف دستیابی به یک تقویت کننده با توان خروجی ۱۰۰ وات (معادل با 50 dBm)، حداقل بازدهی درین ۴۰٪، و مقدار بهره توان حدود ۱۰ دسی بل در پهنای

علمی دریا فنون



شکل (۲) اثر فاز هارمونیک دوم (دارای دامنه ۱) روی بازدهی توان افزوده در فرکانس‌های مختلف.



شکل (۱) امپدانس‌های بهینه بار و منبع (دید شده از سر پیکج ترانزیستور) که به ازای آن‌ها بیشترین توان خروجی با بازدهی بیشتر از ۶۰٪ بدست خواهد آمد.

به ازای آن‌ها ماکزیمم توان خروجی و بازدهی بیش از ۶۰ درصد بدست خواهند آمد. همانطور که در شکل دیده می‌شود، امپدانس‌های بهینه تقریباً در ناحیه اتصال کوتاه نمودار اسمیت قرار گرفته‌اند. این امر کار طراحی مدارهای تطبیق را در پهنای باند وسیع بسیار چالش برانگیز می‌کند [۷].

۲-۲- تاثیر نوع بار دیده شده توسط هارمونیک دوم

در طراحی تقویت کننده‌های توان با بازدهی بالا، کنترل دقیق امپدانس دیده شده توسط هارمونیک‌های بالاتر در خروجی ترانزیستور (درین) یک مسئله مهم است. هارمونیک دوم به علت اینکه دارای سطح توان بیشتری نسبت به سایر هارمونیک‌ها غیر از هارمونیک اصلی است، مهم‌ترین هارمونیک بالایی است که باید کنترل شود. از طرف دیگر، هر قدر که پهنای باند تقویت کننده بیشتر شود، به صورت خاص زمانیکه بیشتر از یک اکتاو باشد، هارمونیک دوم فرکانس‌های اولیه باند، داخل باند تقویت برای فرکانس‌های بالاتر خواهند بود.

به عنوان مثال، در مورد تقویت کننده مطرح شده در این مقاله که پهنای باند کاری آن از ۱ تا ۳ گیگاهرتز است، هارمونیک‌های مرتبه دوم تمامی فرکانس‌های بین ۱ تا ۱٫۵ گیگاهرتز، درون باند تقویت قرار خواهند گرفت. زمانیکه این هم‌پوشانی اتفاق می‌افتد، انتخاب امپدانس دیده شده توسط هارمونیک‌های دوم نیمه پایینی باند کاری مبهم خواهد بود به این دلیل که وظیفه اصلی طراح، در نظر گرفتن هارمونیک اصلی است.

از طرف دیگر، هرگاه هارمونیک‌های دوم در بیرون از باند کاری ترانزیستور قرار بگیرند، که برای این ترانزیستور منظور بالاتر از فرکانس ۳٫۵ گیگاهرتز است، اثر دوم و بالاتر توسط خازن پارازیتی ترانزیستور جذب خواهد شد به گونه‌ای که سطح ولتاژ

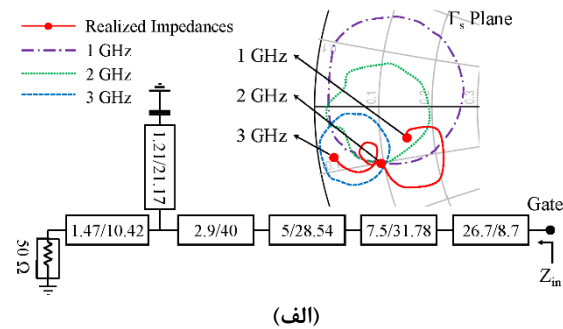
باند طراحی یعنی ۱-۳ گیگاهرتز است. ترانزیستور انتخاب شده برای برآورده نمودن این شرایط CLF1G0035-100P است؛ یک ترانزیستور گالیوم نیتراید ساخت شرکت NXP. مطابق با اطلاعات دیتاشیت قطعه، مقدار ولتاژ درین ترانزیستور $V_D = 50V$ قرار داده شد. جریان درین ترانزیستور نیز مقدار $I_{DQ} = 800mA$ برای عملکرد در کلاس تقویت کننده AB انتخاب گردید. در بخش‌های بعد، رویه طراحی تقویت کننده توان با ذکر جزئیات بیان خواهد شد.

۱-۲- امپدانس‌های بهینه بار و منبع

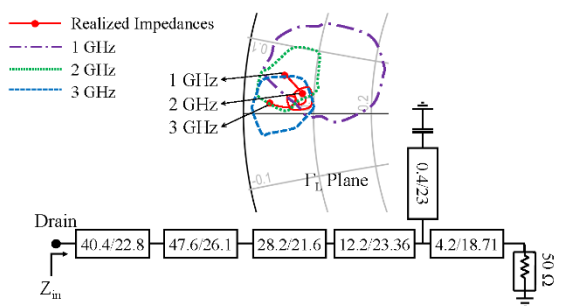
پس از انتخاب ترانزیستور و نقطه بایاس، اولین قدم در طراحی یک تقویت کننده توان به دست آوردن امپدانس‌های بهینه‌ای است که ترانزیستور برای برآورده ساختن نیازمندی‌های طراحی باید "ببیند" (که به نام امپدانس‌های بهینه بار و منبع شناخته می‌شوند). برای به دست آوردن این امپدانس‌ها، شبیه‌سازی‌های سورس‌پول/لودپول با استفاده از مدل غیرخطی ترانزیستور (که توسط شرکت NXP تامین شده است) در نرم‌افزار سیستم طراحی پیشرفته (ADS) ورژن ۲۰۱۱ در شرایطی که همه هارمونیک‌های بالاتر مدار باز (مقدار امپدانس بسیار زیاد ببینند) باشند، انجام شد.

انجام این شبیه‌سازی، برای هر دو پارامتر بازدهی و توان خروجی انجام شد زیرا منحنی‌های بسته‌ای که امپدانس‌های مطلوب برای بهینه سازی این دو پارامتر را مشخص می‌کنند، تنها در برخی نواحی همپوشانی دارند. این نکته باید خاطر نشان شود که ترانزیستور مورد نظر دارای دو عدد گیت و دو درین است و ما در طراحی خود، دو گیت و دو درین را روی یک خط میکرواستریپ قرار می‌دهیم و بعنوان یک گیت و یک درین عمل خواهند نمود. شکل (۱) امپدانس‌های بهینه بار و منبع (دید شده از سر پیکج ترانزیستور) را نشان می‌دهد.

الگوریتم بهینه‌سازی ژنتیک، طول‌ها و عرض‌های خطوط انتقال به دست آمدند که در شکل (۳) گزارش شده‌اند.



(الف)



(ب)

شکل (۳) شمای (الف) مدار تطبیق ورودی و (ب) مدار تطبیق خروجی، که نشان دهنده طول و عرض خطوط انتقال برحسب [mm] بوده و با استفاده از یک الگوریتم بهینه‌سازی با تابع هزینه تعریف شده در معادله (۱) بدست آمده‌اند. مسیرهای امپدانس پیاده‌سازی شده Z_{in} (بدست آمده از شبیه‌سازی ممان در نرم افزار ADS) - و کانتورهای $P_{out} > 50\text{dBm}$ و $PAE > 50\%$ نیز در اشکال (الف) یعنی و (ب) یعنی نیز نمایش داده شده‌اند.

برای این کار از یک زیرلایه 5880-Duroid-RT با ضخامت 0.508 mm و تناژت تلفات ۰/۰۰۰۹ و ضریب دی‌الکتریک ۲/۲ استفاده شده است. در شکل‌های ۳.الف و ۳.ب مسیر امپدانس بار و منبع پیاده‌سازی شده (یعنی Z_{in} مدارهای تطبیق ورودی و خروجی دیده شده از سر ترانزیستور) نمایش داده شده است. با مقایسه این مسیرها با مسیرهای امپدانس هدف (ایده‌آل) بار و منبع (که در شکل (۱) نمایش داده شده‌اند)، مشاهده می‌شود که امپدانس‌های پیاده‌سازی شده، خصوصاً برای فرکانسهای پایین، به اندازه کافی به هم‌تاهای ایده‌آل خود نزدیک نیستند.

در واقع، به دلیل آنکه امپدانس‌های ایده‌آل بار و منبع (که در حوالی ۲ اهم قرار دارند) در خلاف جهت عقربه‌های ساعت در ناحیه اتصال کوتاه نمودار سمت حرکت می‌کنند، تطبیق آن‌ها به یک بار ۵۰ اهمی در این پهنای باند وسیع (۳-۱ گیگاهرتز)

تولیدی آنقدر زیاد نخواهد بود که شکل موج ولتاژهای تولیدی در هارمونیک اصلی را تحت تاثیر قرار دهد [۱۴].

برای مشخص کردن تاثیر ختم‌شوندگی هارمونیک دوم روی عملکرد تقویت کننده در فرکانس‌های مختلف، شبیه‌سازی‌های مشابه با کار صورت گرفته در مرجع [۱] انجام شد. در این شبیه‌سازی‌ها، در حالی که ترانزیستور در ورودی و خروجی برای هارمونیک اصلی، امپدانس‌های بهینه (که از شبیه‌سازی‌های لودپول بدست آمده و در شکل (۱) نمایش داده شده‌اند) را می‌بیند، امپدانس‌های هارمونیک دوم در لبه نمودار سمت سوئیچ شده‌اند.

شکل (۲) بازدهی توان افزوده (PAE) را برحسب تغییر فاز ضریب انعکاس هارمونیک دوم نشان می‌دهد. واضح است که فاز هارمونیک دوم در فرکانسهای بالای ۱.۵ گیگاهرتز (که خارج از باند طراحی ما قرار می‌گیرد) نسبت به فرکانس ۱ گیگاهرتز که هارمونیک دوم آن در باند تقویت قرار گرفته است، تاثیر کمتری روی بازدهی دارد. بنابراین، به دلیل آنکه در بازه فرکانسی پایین باند تقویت (۱-۱.۵ گیگاهرتز) استفاده از هارمونیک تیون میسر نیست (به دلیل همپوشانی هارمونیک‌های دوم آن‌ها با هارمونیک‌های اصلی باند هدف طراحی) و در بازه بالای باند (۳-۲ گیگاهرتز) اثر هارمونیک دوم تقریباً قابل نظر کردن است، در این کار از هارمونیک تیون استفاده نشده است.

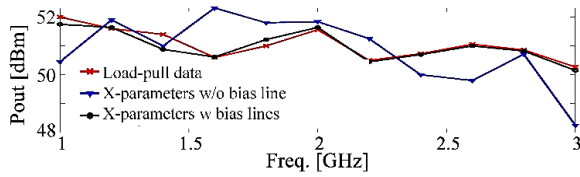
۲-۳- سنتز مدارهای تطبیق با استفاده از داده‌های لودپول

مدارهای تطبیق ورودی و خروجی باید به نحوی طراحی شوند که امپدانس ورودی آن‌ها (Z_{in} دیده شده از درین و گیت ترانزیستور) تا حد ممکن به امپدانس‌های بهینه منبع و بار (Z_{opt}) که به ترتیب از شبیه‌سازی‌های سورس‌پول/لودپول بدست آمده‌اند نزدیک باشند. برای برآورده ساختن این امر، از تابع هزینه زیر برای الگوریتم بهینه‌سازی استفاده شد [۶]،

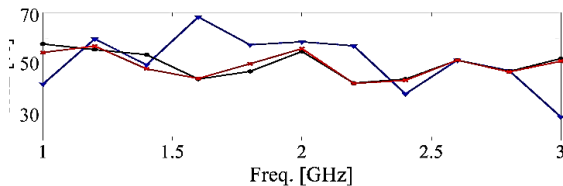
$$C = \sum_{i=1}^N \left| \frac{Z_{in}(f_i) - Z_{opt}(f_i)}{Z_{opt}(f_i)} \right|^2 \quad (1)$$

که در آن f_i (که $i = 1, 2, 3, \dots, N$) نقاط فرکانسی درون باند تقویت هستند. شکل‌های ۳.الف و ۳.ب به ترتیب توپولوژی مدارهای تطبیق ورودی و خروجی را نشان می‌دهند، که هر کدام شامل ۵ قسمت خط انتقالی مایکرواستریپ و یک استاب اتصال کوتاه برای بایاس ترانزیستور هستند. با استفاده از

[۱۵]. اما، این رهیافت برای طراحی تقویت کننده مورد نظر مفید واقع نشد.



(الف)



(ب)

شکل (۴) نمودارهای توان خروجی (الف) و بازدهی (ب) شبیه سازی شده برای سه حالت مختلف مدارهای تطبیق خروجی: طراحی اولیه با استفاده از داده های سورس پول/لودپول صورت گرفته و طراحی نهایی با استفاده از پارامترهای ایکس در حالت با مدار بایاس و بدون مدار بایاس انجام شده است.

زیرا شبیه سازی غیر خطی هارمونیک بالانس به ازای برخی از پارامترها، همگرا نمی شد و بهینه سازی متوقف می گردید. علت این امر نیز وجود اشکالاتی در مدل فشرده غیرخطی ترانزیستور که در دسترس بود، است.

۲-۴- طراحی مجدد مدار تطبیق خروجی با استفاده از

پارامترهای غیرخطی ایکس

برای حل مشکل بیان شده در زیربخش ۴-۱، یعنی قطع شدن فرآیند بهینه سازی هنگام استفاده از مدل فشرده غیرخطی ترانزیستور، ابتدا یک شبیه سازی غیرخطی پارامتر ایکس برای ترانزیستور انجام شد، که با استفاده از شبیه ساز پارامتر ایکس نرم افزار ADS انجام گرفت. پارامترهای ایکس ترانزیستور با مدار تطبیق ورودی طراحی شده (در شکل ۳ الف) که به گیت آن متصل شده بود استخراج گردید. ماژول تولید کننده پارامترهای ایکس در ADS، برخی پارامترهای تقویت کننده مانند سطح توان ورودی، فرکانس و امپدانس های بار را سوئیچ کرد.

در سوئیچ امپدانس بار، رزولوشن در ناحیه اتصال کوتاه نمودار اسمیت بسیار ریزتر از سایر نواحی قرار داده شد، به این دلیل که امپدانس بار ترانزیستور در این ناحیه قرار گرفته بود (در

تقریباً امکان پذیر نیست) توجه داشته باشید مسیر امپدانس هر مدار تطبیق گسترده غیرفعالی در جهت عقربه های ساعت می چرخد [۷]. اما، با در نظر گرفتن نواحی در صفحات T_S و T_L که در آن ها شرایط $P_{out} \geq 50 \text{ dBm}$ ، با بهره توان حداقل ۱۳ دسیبل و $PAE \geq 50\%$ به صورت همزمان برقرار باشد (که در شکل های ۳ الف و ۳ ب به ترتیب نمایش داده شده اند). می توان به این نتیجه رسید که امپدانس های پیاده سازی شده بار و منبع برای بیشتر نقاط فرکانسی به صورت مناسبی در نواحی مورد نظر قرار گرفته اند. توجه داشته باشید در هر نقطه فرکانسی، این ناحیه در واقع همپوشانی مابین ناحیه $P_{out} = 50 \text{ dBm}$ و $PAE = 50\%$ است که از شبیه سازی های سورس پول و لودپول به دست آمده اند [۱۵].

پس از طراحی مدارهای تطبیق ورودی و خروجی، این مدارها به مدل غیرخطی ترانزیستور متصل شده و شبیه سازی هارمونیک بالانس انجام شد. نتایج شبیه سازی در شکل چهار با عنوان "با استفاده از لودپول" نمایش داده شده است. این نتایج دارای افت هایی در بازدهی برای برخی فرکانس ها هستند که بدترین آن ها مربوط به ۳ گیگاهرتز می باشد.

توجه شود هرچند شکل (۳) به وضوح نشان می دهد که امپدانس های پیاده سازی شده درون منحنی های $P_{out} > 50 \text{ dBm}$ و $PAE > 50\%$ قرار گرفته اند، اما توان خروجی و بازدهی که در نهایت به آن دست پیدا نمودیم، به ترتیب در حدود 48 dBm و 30% هستند. این مشکل به دلیل طراحی جداگانه مدارهای تطبیق ورودی و خروجی است. برای رسیدن به توان خروجی ثابت و بازدهی هرچه بیشتر در شبیه سازی های سورپول و لودپول (نواحی مشخص شده در شکل (۳))، فرض شده است که انتهای دیگر ترانزیستور امپدانس بهینه بار یا منبع را ببیند (امپدانس که در شکل (۱) نیز نمایش داده شده است). اما امپدانس های پیاده سازی شده بار و منبع (شکل (۳)) بسیار از مقدار بهینه خود فاصله دارند. بنابراین، هیچ تضمینی وجود ندارد که امپدانس بار یا منبع پیاده سازی شده، که در ناحیه مطلوب تولیدکننده توان خروجی و بازدهی مناسب قرار گرفته اند، جواب مطلوب را در عمل در اختیار ما قرار دهند.

در این حالت، یکی از متداول ترین راه حل ها، استفاده از تیون مدارهای تطبیق با انجام هم زمان شبیه سازی هارمونیک بالانس و اعمال یک بهینه سازی محلی برای رسیدن به مقدارهای مطلوب توان خروجی و بازدهی در کل پهنای باند است [۷] و

پس از آن، خطوط بایاس به مدار تطبیق خروجی به گونه‌ای متصل شدند که اثر آن روی مشخصات خروجی تقویت کننده ناچیز باشد.



شکل (۵) تقویت کننده توان ساخته شده.

برای این کار، یک خط انتقال با امپدانس بالا مورد نیاز است؛ اما یک خط با امپدانس بالا، بسیار نازک بوده و نمی‌تواند جریان مستقیم زیادی را تحمل کند. برای حل این مشکل، چهار خط با امپدانس بالا با عرض ۰.۳ میلی‌متر برای بایاس درین مطابق آنچه در شکل (۵) مشاهده می‌شود، استفاده گردید. محل این خطوط بایاس برای حداقل سازی تاثیر آنها روی عملکرد تقویت کننده تیبون شد. توان خروجی و بازدهی تقویت کننده زمانی که که خطوط بایاس نیز به آن اضافه گردید در شکل (۴) نمایش داده شده است. شکل مورد نظر اثر ناچیز خطوط بایاس را در حالتی که کل مدار (شامل خطوط بایاس) الزامات طراحی، یعنی $P_{out} \geq 50 \text{ dBm}$ و $PAE \geq 40\%$ را برآورده می‌سازد، نمایش می‌دهد.

۳- ساخت، اندازه‌گیری و بحث

شماتیک نهایی مدار در شکل (۶) نمایش داده شده است. در این شکل در ورودی از یک RC موازی برای پایدارسازی استفاده شده است. شکل (۵) تقویت کننده توان ساخته شده را نمایش می‌دهد. نتایج مقایسه بین بره سیگنال کوچک جواب‌های شبیه‌سازی و اندازه‌گیری پاسخ‌های مدار ساخته شده در شکل (۷) گزارش شده است. شباهت بسیار زیاد این مقادیر مطلوب است. در این نمودار مقدار عددی بهره سیگنال کوچک به طور متوسط ۱۶ دسی‌بل است. برای اندازه‌گیری پاسخ تقویت کننده ساخته شده در حالت سیگنال بزرگ، تقویت کننده با یک سیگنال موج پیوسته (CW) در ورودی تحریک شد. توان ورودی به صورت تدریجی افزایش یافته و توان خروجی، توان DC مصرفی و سطوح هارمونیک‌ها اندازه‌گیری شدند.

نمودار توان خروجی برحسب توان ورودی در شکل ۸ الف در فرکانس‌های ۱، ۲ و ۳ گیگاهرتز ارائه شده است. توان خروجی

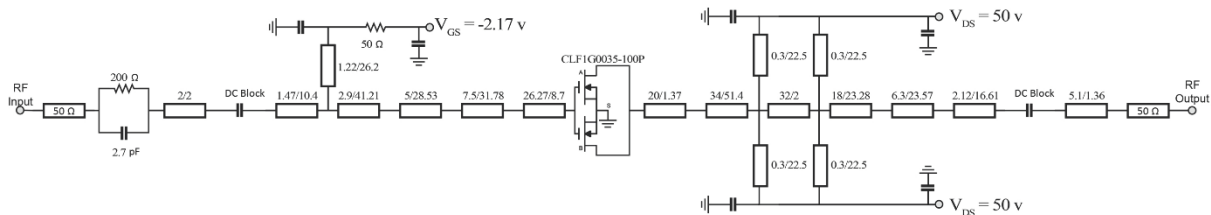
شکل (۱) نیز نمایش داده شده است، بنابراین ترانزیستور به تغییرات بار در این نواحی بسیار حساس‌تر خواهد بود. پارامترهای ایکس استخراج شده برای طراحی (بهینه‌سازی) مدار تطبیق خروجی برای رسیدن به نیازمندی‌های ساخت (توان خروجی و بازدهی) مورد استفاده قرار گرفتند.

ذکر این نکته خالی از لطف نیست که در طرح مدار تطبیق ورودی تغییری داده نشد و مدار استفاده شده، مانند همان مداری بود که با استفاده از شبیه‌سازی سورس‌پول پیاده‌سازی شده بود به این دلیل که امپدانس‌های ورودی (دیده شده توسط ترانزیستور) تاثیر کمتری نسبت به امپدانس‌های بار روی بازدهی و توان خروجی دارند. برای طراحی مجدد مدار تطبیق خروجی، یک مدار تشکیل شده از خطوط انتقال چند مرحله‌ای در نظر گرفته شد و مقادیر اولیه طول‌ها و عرض‌های خطوط انتقال همان مقادیر به دست آمده از شبیه‌سازی لودپول قرار داده شد (شکل ۳ ب). خطوط تغذیه برای این خطوط انتقال با استفاده از الگوریتم ژنتیک برای رسیدن به توان خروجی $P_{out} \geq 50.5 \text{ dBm}$ و بازدهی $PAE \geq 45\%$ بهینه‌سازی شدند. حین انجام بهینه‌سازی، تعداد بخش‌ها برای بهتر شدن نتایج به ۷ بخش تغییر پیدا نمود.

باید به این نکته نیز اشاره شود به دلیل آنکه در این بهینه‌سازی، دیگر نیازی به داشتن مدل فشرده غیرخطی ترانزیستور نبوده و در عوض بهینه‌سازی با مدل ساخته شده از پارامترهای ایکس انجام می‌گیرد، شبیه‌سازی‌ها و بهینه‌سازی‌ها دیگر مشکل هم‌گرا نشدن هارمونیک بالانس را نداشتند و به این دلیل متوقف نمی‌شدند. علاوه بر این، با حذف مدل فشرده ترانزیستور از شبیه‌سازی‌ها، هارمونیک بالانس با سرعت بسیار بیشتری حین انجام تکرارهای بهینه‌سازی مطابق با آنچه در مرجع [۱۳] اشاره شده است، صورت پذیرفت. مقادیر بهینه به دست آمده برای طول و عرض خطوط انتقال در شکل (۶) آورده شده است. توان خروجی و بازدهی بدست آمده در شکل (۴) با عنوان "پارامترهای ایکس با و بدون خطوط بایاس" نشان داده شده‌اند. توجه شود که برای افزایش دقت، این نتایج با استفاده از مدل فشرده ترانزیستور بدست آمده‌اند (هرچند نتایج مشابه بوده و حکایت از دقت پارامترهای ایکس استخراج شده دارند).

شکل مورد نظر نشان می‌دهد توان خروجی بیشتر از ۱۰۰ وات و بازدهی بیش از ۴۰٪ در کل پهنای باند حاصل شده است.

اندازه‌گیری شده، بازدهی درین و بهره توان در حالت اشباع ترانزیستور در شکل ۸. ب ارائه شده‌اند.



شکل (۶) شماتیک نهایی مدار. طول و عرض خطوط (w/l) بر حسب میلی‌متر در شماتیک نمایش داده شده است.

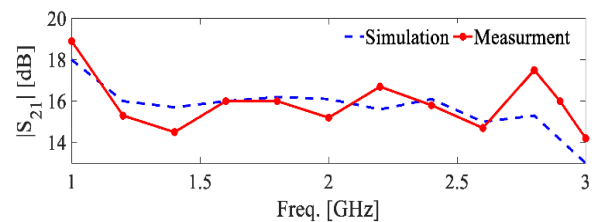
هارمونیک‌های دوم و سوم اندازه‌گیری شده نیز در شکل ۸. ج ارائه شده و نشان می‌دهد که در بدترین حالت، توان هارمونیک‌های بالاتر، ۱۰ دسیبل پایین‌تر از توان هارمونیک اصلی قرار است.

در نهایت، تقویت کننده با سایر تقویت کننده‌های توان پهن باند و پرتوان قبلی (با توان اشباع بیشتر از 45dBm و پهنای باند نسبی (FBW) بیشتر از 70%) از نظر پهنای باند، توان خروجی، بازدهی درین و بهره مورد مقایسه قرار گرفت. نتایج مقایسه در جدول (۱) ارائه شده است. در این جدول، مقادیر بر حسب افزایش پهنای باند نسبی مرتب شده‌اند. در مقایسه با دو ردیف اول جدول، که دارای توان خروجی مشابهی با کار انجام شده در این مقاله هستند، این تقویت کننده دارای پهنای باند (نسبی) بیشتری است. علاوه بر این، در بین سه ردیف پایین جدول، با پهنای باند نسبی 100%، تقویت کننده ارائه شده دارای توان خروجی با سطح 3dB تا 4dB بالاتر از آنها است. سایر نتایج موجود در جدول نیز نشان می‌دهد که بازدهی و بهره به دست آمده برای این تقویت کننده با سایر تقویت کننده‌ها قابل مقایسه است.

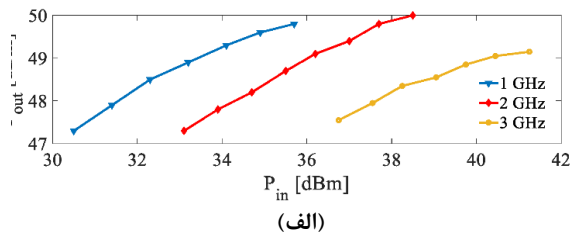
۴- نتیجه‌گیری

در این مقاله روال طراحی، ساخت و نتایج اندازه‌گیری یک تقویت کننده توان در باند فرکانسی ۱-۳ گیگاهرتز، با بازدهی بالا و توان خروجی ۹۰ وات ارائه شد. تقویت کننده توان ابتدا با استفاده از شبیه‌سازی‌های سورس پول/لودپول پیاده‌سازی شد. به دلیل توان خروجی زیاد ترانزیستور، امپدانس‌های منبع و بار مورد نیاز برای تطبیق ورودی و خروجی ترانزیستور بسیار کوچک بوده و در ناحیه اتصال کوتاه نمودار اسمیت قرار می‌گرفتند.

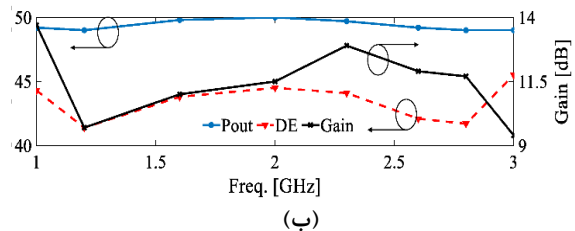
این امر نه تنها طراحی مدارهای تطبیق را چالش برانگیز می‌کند بلکه عملکرد تقویت کننده توان را به امپدانس‌های بار



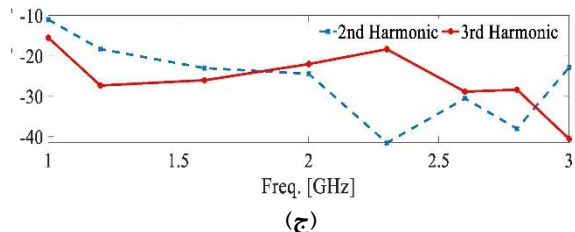
شکل (۷) بهره سیگنال کوچک برای تقویت کننده شبیه‌سازی و ساخته شده.



(الف)



(ب)



(ج)

شکل (۸) نتایج اندازه‌گیری: (الف) توان خروجی بر حسب توان ورودی، (ب) توان خروجی، بازدهی درین و بهره توان در حالت، و (ج) سطح هارمونیک‌ها در اشباع.

در پهنای باند ۱-۳ گیگاهرتز، تقویت کننده به اشباع رفته، به توان خروجی (در هارمونیک اصلی) بین 49dBm تا 50dBm رسید، بازدهی درین نیز بین مقدارهای 41.4% و 45.5% و بهره توان نیز 9.4dB تا 13.7dB اندازه‌گیری شد. سطوح

بسیار حساس می‌کند. در یک طراحی وابسته به داده‌های لودپول و سورس‌پول، امکان کنترل عملکرد تقویت کننده حین طراحی مدارهای تطبیق وجود نداشت.

جدول (۱) مقایسه تقویت کننده توان پهن باند ساخته شده با کارهای قبلی.

سال [مراجع]	پهنای باند [GHz]	پهنای باند نسبی [%]	توان خروجی [dBm]	بازدهی درین [%]	بهره [dB]
[۱۶] ۲۰۱۹	۱-۲,۵	۸۵	۵۰,۱-۵۰,۷	-	-
[۱۵] ۲۰۱۹	۰,۶۵-۱,۷۵	۹۱,۶	۴۹,۱-۵۰,۹	۵۶-۷۹	۱۰,۷-۱۳
[۱۷] ۲۰۱۸	۱,۶-۳,۶	۹۴	۴۶,۴-۴۷,۸	۴۱-۶۸	۸,۳-۱۰,۷
[۱۸] ۲۰۱۳	۱-۳	۱۰۰	۴۵,۸-۴۷	۳۹-۴۷	۹,۵-۱۱,۵
*[۱۹] ۲۰۱۸	۲-۶	۱۰۰	۴۵,۵	۲۱-۲۵	۲۱-۲۷
این کار	۱-۳	۱۰۰	۴۰-۵۰	۴۱,۴-۴۵,۵	۹,۴-۱۳,۷

*تقویت کننده توان دوطبقه (شامل پیش تقویت و تقویت کننده توان)

- بنابر این، تقویت کننده طراحی شده اولیه، در برخی فرکانس‌ها عملکرد مطلوبی از خود نشان نداد. برای حل این مشکل از مدلسازی با استفاده از پارامترهای ایکس استفاده شد. این نوع مدل‌سازی امکان کنترل مستقیم بازدهی و توان خروجی را فراهم نمود که منجر به داشتن عملکرد مطلوب تقویت کننده نهایی در تمامی پهنای باند شد. نتایج اندازه‌گیری تقویت کننده ساخته شده نشان می‌دهد که تقویت کننده دارای توان خروجی بین 49dBm تا 50dBm، بازدهی درین بین 41.4% تا 45.5% و بهره توان 9.4dB تا 13.7dB در تمامی پهنای باند طراحی 1-3GHz است.
- ۵- مراجع**
- [1] P. Saad, "Design of a Highly Efficient 2-4 GHz Octave Bandwidth GaN-HEMT Power Amplifier," IEEE Trans. Microw. Theory Techn., Vol.58, No.7, pp.1677-1685, 2010.
- [2] G. Sun and R. H. Jansen, "Broadband Doherty Power Amplifier via Real Frequency Technique," IEEE Trans. Microw. Theory Techn., Vol.60, No.1, pp.99-111, 2012.
- [3] B. Yarman and H. Carlin, "A Simplified Real Frequency Technique Applicable to Broadband Multistage Microwave Amplifiers," in IEEE MTT-S Int. Microw. Symp. Dig., pp. 529-531, 1982.
- [4] D. Wu, F. Mkadem, and S. Boumaiza, "Design of a Broadband and Highly Efficient 45 W GaN Power Amplifier via Simplified Real Frequency Technique," in IEEE MTT-S Int. Microw. Symp. Dig., pp.1090-1093, 2010.
- [5] X. A. Nghiem, "Design of Concurrent Multiband Doherty Power Amplifiers for Wireless Applications," IEEE Trans. Microw. Theory Techn., Vol.61, No.12, pp.4559-4568, 2013.
- [6] Z. Dai, "A New Distributed Parameter Broadband Matching Method for Power Amplifier via Real Frequency Technique," IEEE Trans. Microw. Theory Techn., Vol.63, No.2, pp.449-458, 2015.
- [7] H. Taleb-Alhagh Nia and V. Nayyeri, "A 0.85-5.4 GHz 25-W GaN Power Amplifier," IEEE Microw. Wireless Compon. Lett., Vol.28, No.3, pp.251-253, March 2018.
- [8] D. E. Root, X-parameters: Characterization, Modeling, and Design of Nonlinear RF and Microwave Components. Cambridge U.K.: Cambridge Univ. Press, 2013.
- [9] J. Verspecht and D. E. Root, "Polyharmonic Distortion Modeling," IEEE Microw. Mag., Vol.7, No.3, pp.44-57, 2006.
- [10] T. Nielsen, U. Madsen, and M. Dieudonne, "High-Power, High-Efficiency Power Amplifier Reference Design in III-V Wide Bandgap Gallium Nitride Technology using Nonlinear Vector Network Analyzer and X-parameters," in Proc. IEEE Int. Conf. Microw., Commun., Antennas, Electron. Syst. (COMCAS), pp.1-4, 2011.
- [11] T. S. Nielsen, M. Dieudonne, C. Gillese, and D. E. Root, "Doherty Power Amplifier Design in Gallium Nitride Technology using a Nonlinear Vector Network Analyzer and X-parameters," in IEEE Compound Semiconduct. Integr. Circuit Symp., pp. 1-4, 2012.
- [12] A. Cidronali and G. Collodi, "Large-Signal Vector Characterization of LDMOS Devices for Analysis and Design of Broadband Doherty Highpower Amplifiers," International Journal of Microwave and Wireless Technologies, Vol.11, o. 7, pp. 666-675, 2019.
- [13] L. Dunleavy, "Power Amplifier Design with X-Parameter* Power Transistor Models Date", online webcast, available online at: <https://www>.

- keysight .com/upload/cmcpload/All/6Sept12PAw_ebcast.pdf
- [14] J. J. M. Rubio, "A 0.6-3.8 GHz GaN Power Amplifier Designed Through a Simple Strategy," *IEEE Microw. Wireless Compon. Lett.*, Vol.26, No.6, pp.446-448, 2016.
- [15] S. Rafati, V. Nayyeri and M. Soleimani, "A 100-W Doherty Power Amplifier with Super-Octave Bandwidth," in press in *IEEE Trans. Circuits Syst. II, Exp. Briefs*, doi: 10.1109/TCSII.2019.2929306.
- [16] Y. Yang et al., "High 1dB Gain Compression and Harmonic Suppression Octave Bandwidth Power Amplifier," *IOP Conference Series: Materials Science and Engineering*. Vol.569, No.3, p.032067. 2019.
- [17] Q. H. Le and G. Zimmer, "Wideband High Efficiency 50W GaN-HEMT Balanced Power Amplifier," in 48th European microwave conference (EuMC), pp.348-351, 2018.
- [18] C. Berrached, "Wideband High Efficiency High Power GaN Amplifiers using MIC and Quasi-MMIC Technologies," 43th European Microwave Conference (EuMC), pp.1395-1398, 2013.
- [19] H. Taleb-Alhagh Nia, S. H. Javid Hosseini, and V. Nayyeri. "Design and Fabrication of 2-6 GHz 25 W and 35 W Power Amplifiers," in 9th International Symposium on Telecommunications (IST), pp.647-651, 2018.