

یک اینورتر پنج سطحی با بازدهی زیاد، قیمت و THD کم برای استفاده در سیستم تحرک الکتریکی شناور

امیرحسین اکبری^۱، ابوالفضل بابایی^۲، ادیب ابریشمی فر^۳

A_hosein_a@yahoo.com

۱- دانشجوی کارشناسی ارشد برق، دانشگاه علم و صنعت ایران

۲- کارشناس ارشد برق، دانشگاه علم و صنعت ایران

۳- استاد دانشکده‌ی برق، دانشگاه علم و صنعت ایران

چکیده

در این مقاله یک اینورتر پنج سطحی با بازدهی زیاد، هزینه و میزان THD کم برای استفاده در سیستم‌های ولتاژ متوسط (MV) ارائه شده است. اینورتر پیشنهادی تعداد کلیدهای کم‌تری نسبت به ساختارهای مشابه دارد که این عامل سبب راحتی در پیاده‌سازی و هم‌چنین سبب کاهش هزینه‌ی مدار می‌شود. استفاده از یک فیلتر LCL مناسب در خروجی اینورتر سبب کاهش میزان هارمونیک‌های ولتاژ خروجی شده است. برای اطمینان از طراحی، یک شبیه‌سازی با استفاده از نرم‌افزار PSpice انجام شده است و سپس با استفاده از نرم‌افزار PLECS تحلیل دمایی به منظور بررسی قابلیت اطمینان مدار صورت گرفته است. میزان THD حاصل از شبیه‌سازی برای یک نمونه‌ی اولیه به ازای جریان ۲۰ آمپر و ۴۰۰ ولت در خروجی، به میزان ۳.۷٪ می‌رسد که در مقایسه با ساختارهای مشابه بهبود قابل ملاحظه‌ای است. نتایج حاصل از شبیه‌سازی درستی طرح پیشنهادی را نشان می‌دهند.

واژگان کلیدی: اینورتر پنج سطحی، سیستم‌های ولتاژ متوسط، بازدهی زیاد، THD، فیلتر LCL، تحلیل دمایی.

تاریخ دریافت مقاله : ۹۵/۱۰/۲۶

تاریخ پذیرش مقاله : ۹۶/۰۶/۱۲

۱- مقدمه

سیستم‌های مختلفی برای تحرک یک شناور در دریا استفاده می‌شود که از جمله می‌توان به سیستم تحرک بخار، سیستم تحرک دیزل، سیستم تحرک هسته‌ای، سیستم تحرک توربین گاز، سیستم تحرک پیل سوختی، سیستم تحرک خورشیدی، سیستم تحرک بیو دیزل و سیستم تحرک الکتریکی اشاره نمود [۲۰۱].

در سیستم رانش الکتریکی کشتی، انرژی الکتریکی مورد نیاز از دیزل ژنراتور تأمین می‌شود. یکی از مزیت‌های این سیستم افزایش قابلیت مانور است که باعث حذف شدن در سیستم انتقال نیرو به پروانه‌ی گیربکس می‌شود. در نتیجه فضای کم‌تری اشغال می‌شود و وزن کلی سیستم تحرک نیز کاهش می‌یابد. امتیازات دیگر نیز کاهش هزینه‌ی تعمیر و نگهداری، کاهش آلودگی صوتی محیط و همچنین افزایش بازده کلی سیستم تحرک است [۴۰۳]. در کشتی به علت کمبود فضا باید از سیستم‌هایی استفاده شود که کم‌ترین فضای ممکن را اشغال نماید، لذا در طراحی‌ها و انتخاب پیکربندی‌ها، این پارامتر را نیز باید لحاظ کرد. به علاوه لازم است تا از چگونگی دفع حرارتی این ساختارها اطمینان حاصل کرد. از این رو، تلاش برای کاهش هزینه‌ی پیاده‌سازی و افزایش قابلیت اطمینان این مدارها رو به افزایش است [۶۰۵]. در بین تلاش‌های صورت گرفته، تلاش برای کاهش تعداد کلیدها و کاهش میزان THD ولتاژ خروجی از مهم‌ترین تلاش‌های صورت گرفته است، چرا که این دو عامل تاثیر مستقیمی بر روی تلفات و هزینه‌ی تمام شده دارند. کاهش میزان THD را می‌توان با استفاده از بهبود تکنیک‌های مدولاسیون، طراحی فیلترهای غیرفعال یا فعال و افزایش میزان تعداد سطح‌های ولتاژ خروجی به دست آورد. فیلترهای غیرفعال چندین امتیاز از جمله افزایش قابلیت اطمینان و پایداری دارند [۷۰۶]. بر این اساس، کاربرد فیلترهای غیرفعال در مدارهای صنعتی بیشتر از فیلترهای فعال است. در [۲-۵]. چندین روش مختلف برای طراحی فیلترهای LCL ارائه شده‌اند ولی این فیلترها نیاز به کاهش یا از بین بردن مشکلات نوسانی دارند. در [۸۰۷] بر روی کاهش مشکلات رزونانسی کار شده است. در [۹-۱۱] ساختارهای مختلفی از یک اینورتر پنج‌سطحی ارائه شده است. در میان ساختارهای پیشنهاد شده، ساختار ارائه شده در [۹] از ساختارهای ارائه شده در [۱۰ و ۱۱]

قابلیت‌های بیشتری دارد. ساختار ارائه شده در [۹] در مقایسه با سایر ساختارها میزان THD ولتاژ خروجی را بیش‌تر بهبود داده است. هم‌چنین، این ساختار تعداد کلیدهای کم‌تری نیاز دارد.

در این مقاله یک اینورتر پنج‌سطحی با شش کلید و میزان THD کم ارائه شده است. ساختار ارائه شده می‌تواند در فرکانس‌های کم، ولتاژ و توان‌های زیاد با بازدهی مناسب کار کند که همین موضوع سبب می‌شود این مدار برای کاربردهای ولتاژ متوسط (MV) مانند سیستم تحرک الکتریکی شناور، مناسب باشد.

۲- ساختار اینورتر ارائه شده

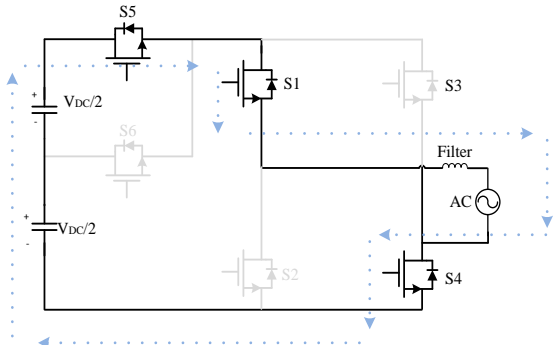
تاکنون، ساختارهای مختلفی از اینورترهای پنج‌سطحی ارائه شده است. در بین آن‌ها، اینورتر ارائه شده در [۹] که در شکل (۱) نشان داده شده است، از جمله بهترین ساختارهای ارائه شده است. این ساختار مشکلات ساختارهای قبلی را ندارد ولی نمی‌تواند توان راکتیو را به شبکه انتقال دهد. هم‌چنین، برای برطرف کردن مشکل عدم انتقال توان راکتیو به شبکه، مدار شکل (۲) در [۹] ارائه شده است ولی این مدار هزینه‌ی پیاده‌سازی بیش‌تری نیز دارد. برای حل مشکل مشکلات بیان شده، در مقاله حاضر مدار شکل (۳) ارائه شده است. مدار پیشنهادی سبب کاهش هزینه‌ی پیاده‌سازی می‌شود، چرا که دارای تعداد کلیدهای کم‌تری نسبت به ساختارهای مشابه است. مدار بهبود یافته‌ی پیشنهادی در [۹] به علت تعداد زیاد کلیدها، تلفات هدایتی بیش‌تری دارد. در سطح +۱ در مدار پیشنهادی در [۹]، کلیدهای S1، S5، S6 و S4 روشن هستند. به همین ترتیب برای سطح -۱ هم چهار کلید روشن هستند و از خود جریان را عبور می‌دهند. در حالی که در اینورتر پیشنهاد شده در این مقاله مشکل انتقال توان راکتیو به شبکه و هزینه‌ی بالای پیاده‌سازی مدار برطرف شده است و در هر سطح تنها سه کلید جریان را هدایت می‌کنند.

در اینورتر پیشنهاد شده در این مقاله تنها از ۳ کلید S5، S1 و S4 برای ساختن سطح +۲ استفاده شده است. سطح‌های ولتاژ خروجی با توجه به حالت‌های روشنی و خاموشی کلیدها در جدول (۱) نشان داده شده است.

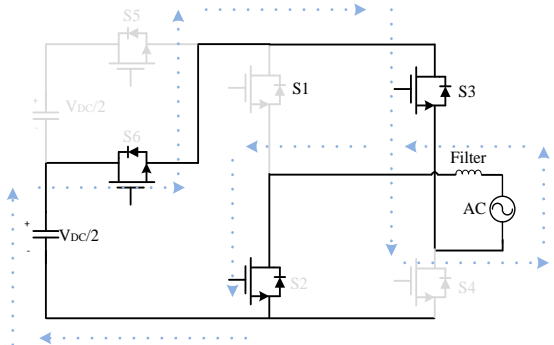
¹ Medium Voltage

جدول (۱) سطح های ولتاژ خروجی با توجه به حالت های روشنی و خاموشی کلیدها.

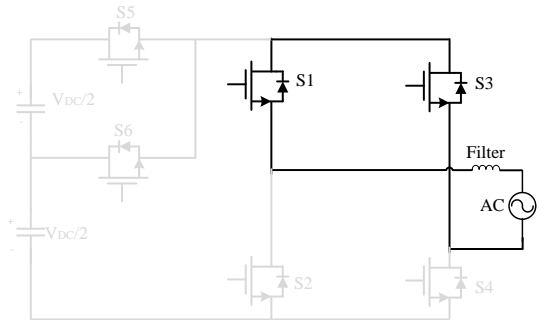
سطح ولتاژ	S1	S2	S3	S4	S5	S6
+۲	۱	۰	۰	۱	۱	۰
+۱	۱	۰	۰	۱	۰	۱
۰	۰	۱	۰	۱	۰	۰
-۱	۰	۱	۱	۰	۰	۱
-۲	۰	۱	۱	۰	۱	۰



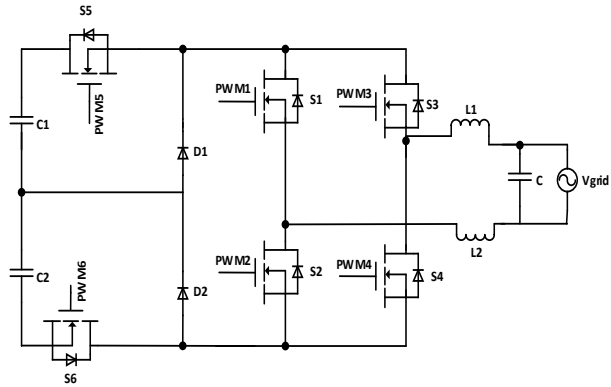
شکل (۴) مسیر جریان در اینورتر پیشنهادی برای سطح +۲.



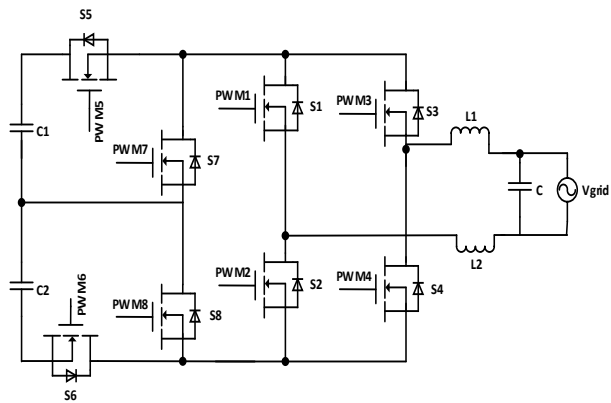
شکل (۵) مسیر جریان در اینورتر پیشنهادی برای سطح +۱.



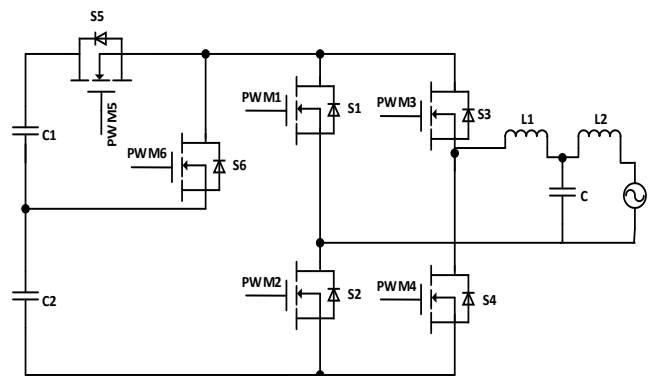
شکل (۶) مسیر جریان در اینورتر پیشنهادی برای سطح ۰.



شکل (۱) مدار پیشنهاد شده در [۹].



شکل (۲) مدار بهبود یافته پیشنهاد شده در [۹].



شکل (۳) اینورتر پنج سطحی پیشنهادی در این مقاله.

برای هر سطح تنها سه کلید روشن است که سبب کاهش توان تلفاتی هدایتی است. شکل های (۴) تا (۸) بیان کننده ی مسیر جریان در سطح های +۲، +۱، ۰، -۱ و -۲ است. در هر مسیر تنها دو کلید روشن است که این عامل سبب کاهش میزان تلفات هدایتی و کلیدزنی شده است. روش کنترلی استفاده شده در این مدار، SPWM است که این مدولاسیون در شکل (۹) نمایش داده شده است.

است. با استفاده از (۱) و (۳) می‌توان توان کلیدزنی و هدایتی را محاسبه نمود [۱۲].

$$P_{CON} = R_{on} \times (I_D)^2 \times D_{CON} \quad (1)$$

در رابطه‌ی (۱)، DCON ضریب تصحیح توان تلفاتی هدایتی است و به صورت (۲) محاسبه می‌شود.

$$D_{CON} = \frac{t_{Level-i}}{T} \quad (2)$$

در (۲)، T مدت زمان دوره‌ی کلیدزنی و tlevel-i مدت زمان روشنی کلید i ام است.

$$P_{SW} = \frac{1}{2} \times C_{oss} \times V_{bus}^2 \times F_{sw} \times D_{sw} \quad (3)$$

که Coss خازن خروجی، Vbus میزان ولتاژ اتصال DC، Dsw ضریب کلیدزنی است که با استفاده از (۴) محاسبه می‌شود.

$$D_{SW} = \frac{t_{sw}}{T} \quad (4)$$

در (۴)، tsw کل مدت زمان کلیدزنی برای هر کلید است. سپس دمای اتصال با توجه به (۵) محاسبه می‌شود.

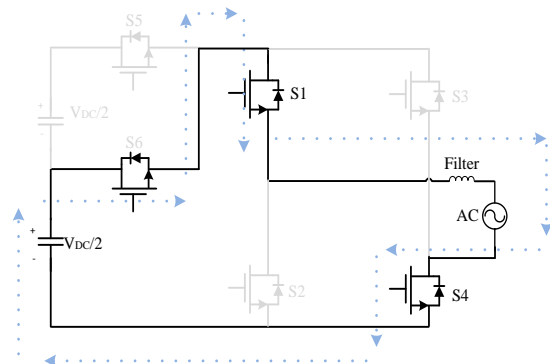
$$T_j = T_A + ((P_{sw} + P_{con}) \times Z_{th(J-A)}) \quad (5)$$

در (۵)، TA دمای محیط است که برای مدار پیشنهادی در ۴۵°C به دلیل فضای کم اختصاص داده شده فرض شده است. Zth(J-A) امپدانس بین محیط و اتصال است که به صورت جدول (۲) توضیح داده می‌شود.

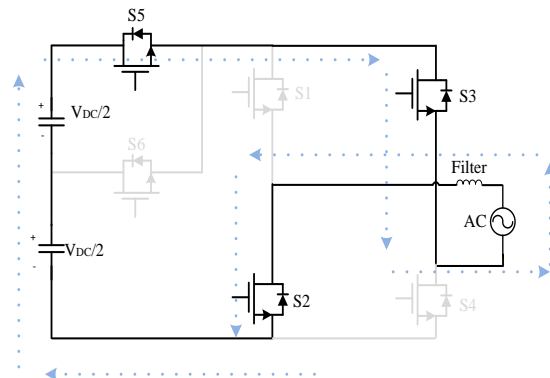
با استفاده از نرم‌افزار PLECS دمای اتصال محاسبه شده است. نتایج شبیه‌سازی کلید S1 و S5 برای اینورتر پیشنهادی در [۹] و اینورتر پیشنهادی در این مقاله به ترتیب در شکل‌های (۱۰) و (۱۱) به ترتیب نشان داده شده است. با مقایسه‌ی این دو شکل نتیجه می‌شود که مدار پیشنهادی عمل کرد دمایی مناسب‌تری نسبت به مدار پیشنهادی در [۹] دارد، چون این مدار می‌تواند با تعداد کلیدهای کمتر نسبت به اینورتر پیشنهادی در [۹] کار کند و در نتیجه تلفات هدایتی و کلیدزنی کم‌تری نیز دارد.

جدول (۲) مقاومت دمایی بین اتصال و محیط.

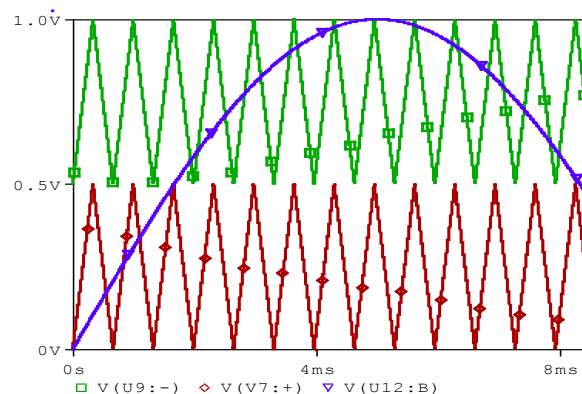
امپدانس دمایی					
$Z_{th(i-s)}$		$Z_{th(c-s)}$		$Z_{th(s-a)}$	
IGBT	DIODE	$R_{th(c-s)}$	$C_{th(c-s)}$	$R_{th(s-a)}$	$C_{th(s-a)}$
۰٫۲۳	۰٫۸۳	۰٫۲۴	۱٫۸	۱٫۶	۳٫۶



شکل (۷) مسیر جریان در اینورتر پیشنهادی برای سطح ۱-.



شکل (۸) مسیر جریان در اینورتر پیشنهادی برای سطح ۲-.



شکل (۹) روش مدولاسیون مورد استفاده در اینورتر پیشنهادی.

۳- تحلیل دمایی مدار پیشنهادی

یکی از مهم‌ترین ویژگی‌های طراحی مناسب یک مدار، بررسی پارامترهای توان تلفاتی و دمای اتصال‌ها در کلیدها است که تعیین‌کننده‌ی ابعاد گرماخور، سیستم خنک‌کننده، نوع کلید و در نهایت قابلیت اطمینان با توجه به پارامترهای مشخص شده است. در این بین، محاسبه‌ی توان تلفاتی مهم‌ترین پارامتر تعیین‌کننده‌ی نوع کلیدها

¹ Heatsink

۴- فیلتر خروجی پیشنهادی

جهت کاهش ابعاد مدار و کاهش بیشتر میزان THD ولتاژ خروجی از یک فیلتر THD استفاده می‌شود. برای طراحی فیلتر LCL برای اینورتر پیشنهادی به صورت زیر عمل می‌گردد. خازن مورد استفاده در این فیلتر از (۶) محاسبه می‌شود [۱۳ و ۱۴]. که در آن توان خروجی مربوطه و V_g ولتاژ موثر شبکه است. مقدار L_1 باید بر اساس میزان ضریب جریان محاسبه گردد [۱۳ و ۱۴].

$$\Delta I_0 = \frac{V_{DC}}{16L_1 f_c} \quad (۸)$$

که f_c فرکانس موج‌های حامل است. با استفاده از (۷) و (۸)، اندوکتانس سمت اینورتر از (۹) محاسبه می‌شود [۱۳ و ۱۴].

$$\frac{V_{DC}}{6.4I_n f_c} \leq L_1 \leq \frac{V_{DC}}{2.4I_n f_c} \quad (۹)$$

اندوکتانس سمت شبکه را می‌توان از رابطه‌ی (۱۰) محاسبه نمود [۱۳ و ۱۴].

$$10\omega_0 < \omega_r = \sqrt{\frac{L_1 + L_2}{C_f L_1 L_2}} < \frac{1}{2}\omega_s \quad (۱۰)$$

که در آن ω_r فرکانس تشدید فیلتر است.

در نهایت مقادیر عناصر فیلتر خروجی به صورت جدول (۳) محاسبه شده است.

۵- نتایج شبیه‌سازی

اینورتر پنج‌سطحی ارائه شده با استفاده از نرم‌افزار PSpice شبیه‌سازی شده است. نرم‌افزار PSpice توانایی شبیه‌سازی مدارها را به صورت واقعی دارد که سبب می‌شود نتایج شبیه‌سازی به صورت واقعی‌تر حاصل شوند. مدار شبیه‌سازی شده در نرم‌افزار PSpice در شکل (۱۳) نشان داده شده است. پارامترهای شبیه‌سازی نیز در جدول (۴) آورده شده‌اند.

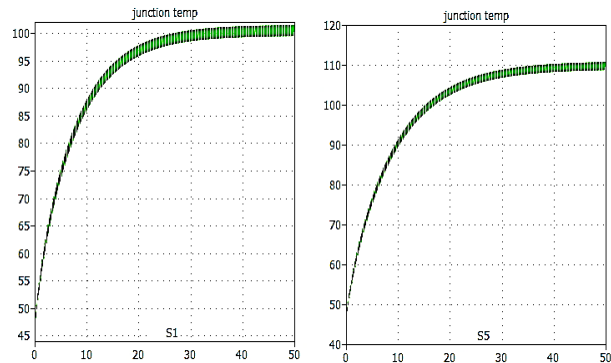
بر اساس مقایسه‌ی بین نتایج شبیه‌سازی توان تلفاتی برای ساختارهای ارائه شده در [۹-۱۱] و ساختار اینورتر ارائه شده، توان تلفاتی ساختار پیشنهادی کمتر از ساختارهای مشابه است که نتایج آن در جدول (۵) آورده شده است.

جدول (۳) مقادیر عناصر فیلتر طراحی شده.

L_1	۱mH
L_2	۱uH
C	۱۵μF
R_d	۰.۵Ω

جدول (۴) پارامترهای شبیه‌سازی.

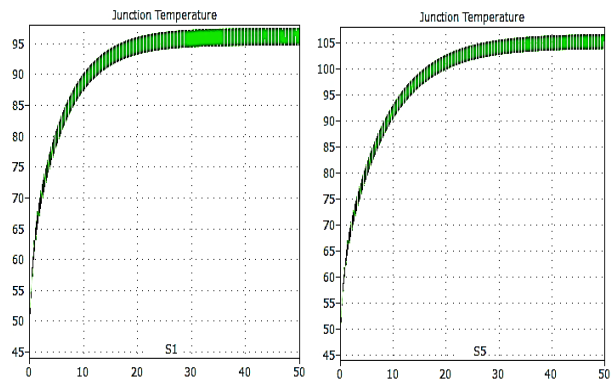
منبع ولتاژ	۴۰۰V
نوع ماسفت	IRFPS43N50K
فرکانس کلیدزنی	۳۰kHz
مقاومت بار	۲۰Ω



(ب)

(الف)

شکل (۱۰) نتایج تحلیل دمای اتصال مدار پیشنهادی در [۹] برای (الف) کلید S5 و (ب) کلید S1.



(ب)

(الف)

شکل (۱۱) نتایج تحلیل دمای اتصال مدار پیشنهادی در این مقاله برای (الف) کلید S5 و (ب) کلید S1.

$$C_{f,max} = \frac{0.05 p_n}{\omega_0 V_g^2} \quad (۶)$$

$$0.15 \leq \frac{\Delta I_0}{I_n} \leq 0.4 \quad (۷)$$

که در آن ΔI_0 میزان ضریب جریان و I_n نیز دامنه‌ی جریان شبکه است. ضریب جریان برای اینورتر پنج‌سطحی به صورت (۸) تعریف می‌شود [۱۳ و ۱۴].

برای بررسی پایداری مدار پیشنهادی در دماهای مختلف، با استفاده از نرم‌افزار PSpice مدار در دماهای مختلف شبیه‌سازی شد که نتایج حاصل از این تحلیل در شکل (۱۸) نمایش داده شده است. این شکل عملکرد پایدار مدار در دماهای مختلف را نشان می‌دهد.

جدول (۵) مقایسه بین توان تلفاتی ساختارهای ارائه شده در [۹-۱۱] و اینورتر پیشنهادی.

توان تلفاتی (W)	ساختار	فرکانس
۲۵,۳	ساختار ارائه شده در [۹]	۱۰kHz
۳۵,۴	ساختار ارائه شده در [۱۰]	۲۰kHz
۴۶,۷	ساختار ارائه شده در [۱۱]	۲۰kHz
۴۳,۱	اینورتر پیشنهادی	۳۰kHz

جدول (۶) مقایسه THD در جریان بار ۱۰ آمپر.

جریان بار	THD	فرکانس کلیدزنی	ساختار
۱۰A	٪۱,۶۱	۳۰kHz	اینورتر پیشنهادی
	٪۴	۱۰kHz	مبدل پیشنهادی در [۹]

جدول (۷) مقایسه THD در جریان بار ۳ آمپر.

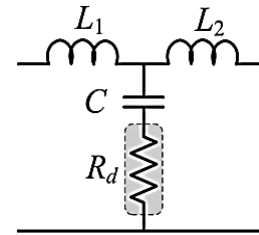
جریان بار	THD	فرکانس کلیدزنی	ساختار
۳A	٪۱,۴۱	۳۰kHz	مبدل پیشنهادی
	٪۸,۸۳	۲۰kHz	مبدل پیشنهادی در [۱۰]

جدول (۸) مقایسه THD در جریان بار ۴ آمپر.

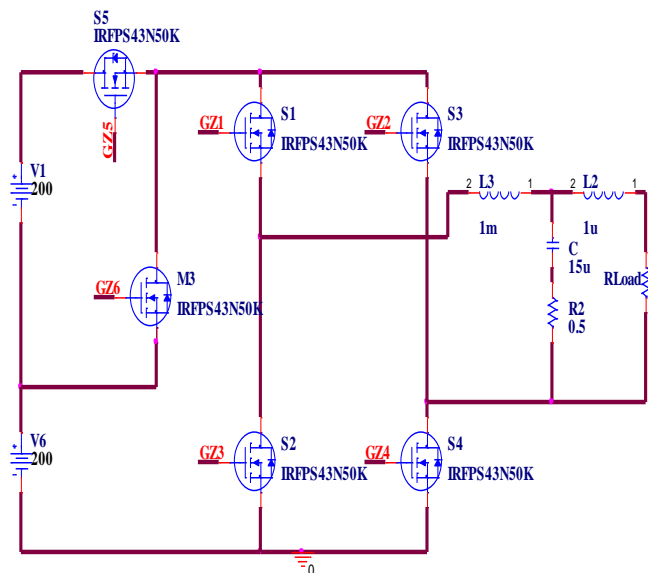
جریان بار	THD	فرکانس کلیدزنی	ساختار
۴A	٪۱,۲۶	۳۰kHz	مبدل پیشنهادی
	٪۸,۲۸	۲۰kHz	مبدل پیشنهادی در [۱۱]

جدول (۹) مقایسه تعداد المان‌ها در اینورتر پیشنهادی [۹] و اینورتر پیشنهادی.

تعداد دیود	تعداد ماسفت	اینورتر پیشنهادی [۹]
۲	۶	اینورتر بهبودیافته پیشنهادی [۹]
۰	۸	اینورتر پیشنهادی [۹]
۰	۶	اینورتر پیشنهادی



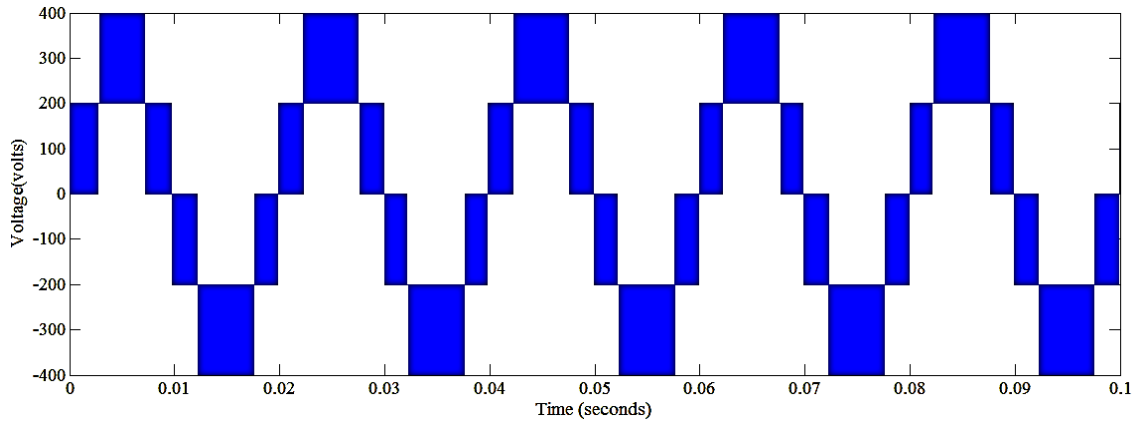
شکل (۱۲) ساختار فیلتر خروجی.



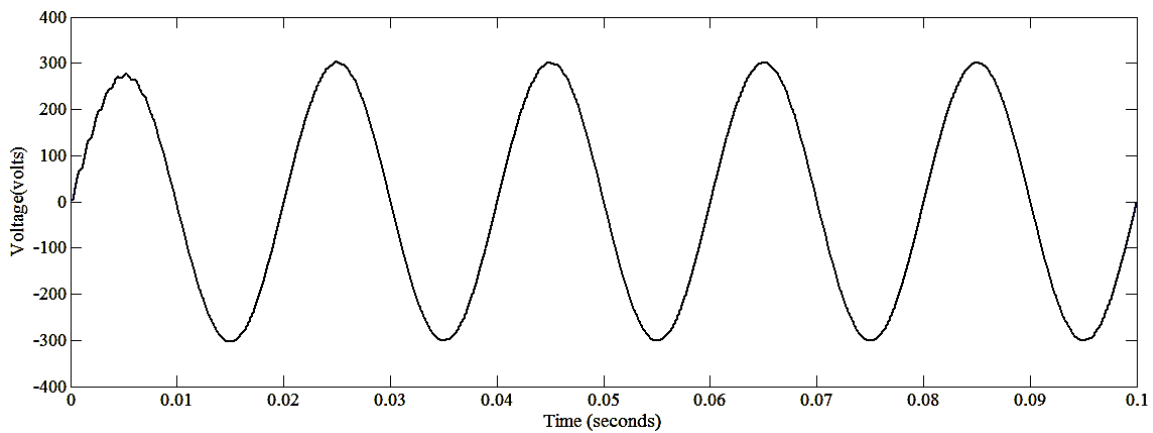
شکل (۱۳) مدار شبیه‌سازی شده در نرم‌افزار PSpice.

اینورتر پیشنهادی در این مقاله که فرکانس کلیدزنی ۳۰ kHz دارد، نسبت به اینورتر پنج‌سطحی پیشنهاد شده در [۹] که در فرکانس کلیدزنی آن ۱۰ kHz است، تقریباً ۴۰٪ تلفات کم‌تر دارد.

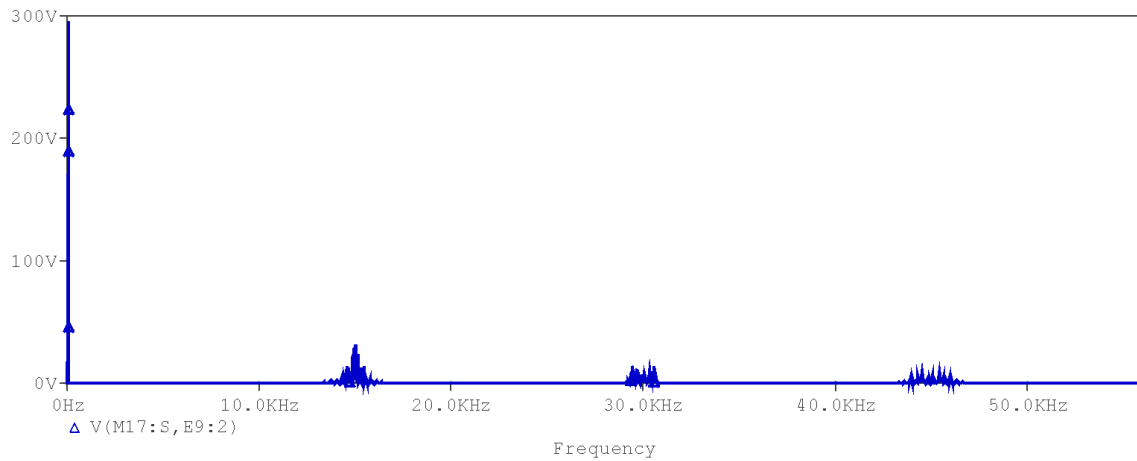
شکل‌های (۱۴) و (۱۵) شکل موج ولتاژ خروجی را قبل و بعد از فیلتر طراحی شده نشان می‌دهند. شکل (۱۱) بیان‌کننده عمل فیلترسازی هارمونیک‌های اضافی به نحوی درست است. شکل (۱۶) نشان‌دهنده تحلیل FFT ولتاژ خروجی است. این شکل بیان‌گر کاهش ۴ درصدی میزان هارمونیک‌های ولتاژ خروجی در مقایسه با ساختارهای مختلف ارائه شده در [۹-۱۱] است. شکل (۱۷) نشان‌دهنده مقدار THD ولتاژ خروجی مبدل پیشنهادی به ازای بارهای مختلف است. برای اثبات این که میزان THD مبدل پیشنهادی از ساختارهای مشابه خود کم‌تر است، مقایسه‌ای بین ساختار پیشنهادی و ساختارهای مشابه انجام شده است که نتایج این مقایسه در جدول‌های (۶)، (۷) و (۸) آورده شده است.



شکل (۱۴) ولتاژ خروجی قبل از فیلتر خروجی.



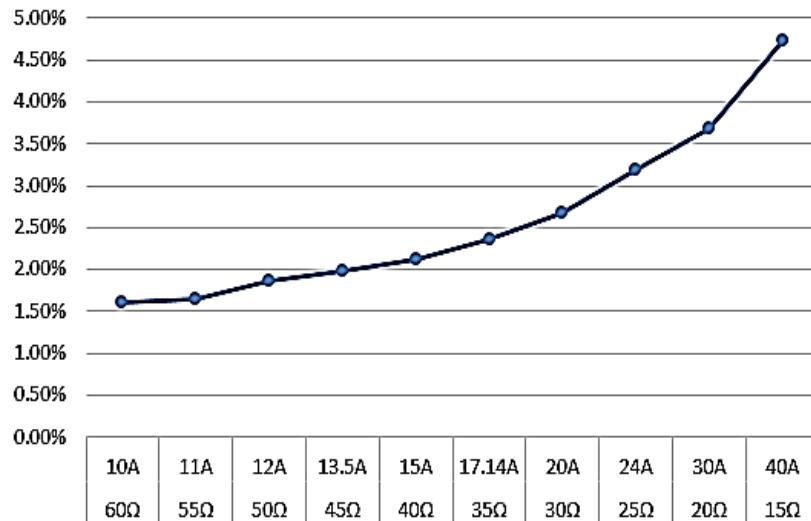
شکل (۱۵) ولتاژ خروجی بعد از فیلتر خروجی.



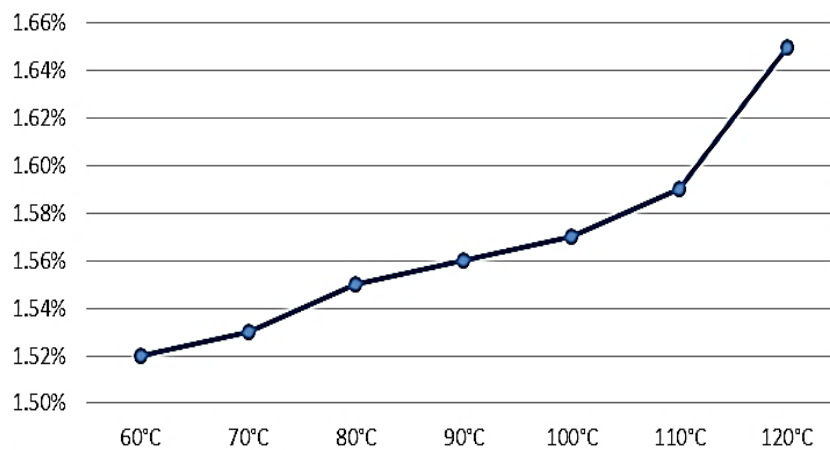
شکل (۱۶) تحلیل FFT صورت گرفته بر روی ولتاژ خروجی.

بررسی پایداری مدار پیشنهادی پاسخ پله در ورودی و خروجی انجام شده است. شکل (۲۰) بیان گر تغییر ناگهانی بار خروجی هستند که پس از تغییر ناگهانی در میزان بار، جریان به میزان پایدار و طراحی شده‌ی خود رسیده است.

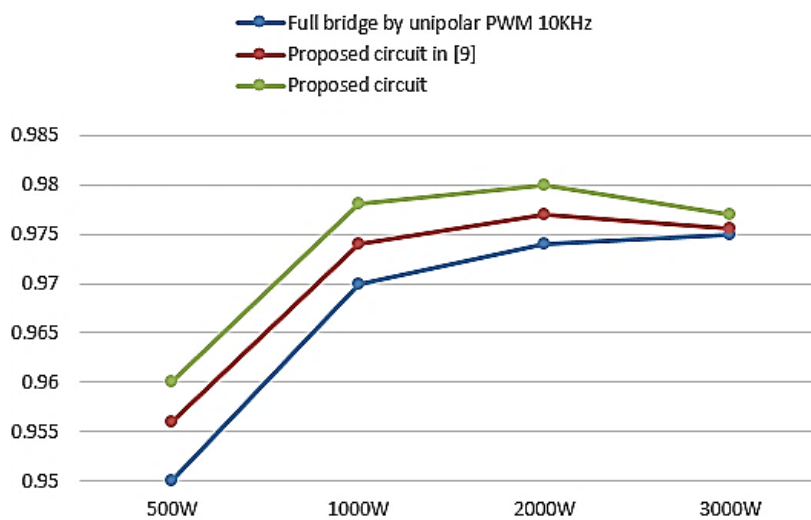
شکل (۱۹) بیان گر مقایسه‌ی میزان بازده در توان‌های خروجی متفاوت، بین سه ساختار مختلف تمام پل تک قطبی، ساختار ارائه شده در [۹] و اینورتر پیشنهادی است که بیان کننده‌ی بازدهی بیشتر اینورتر پیشنهادی در بارهای مختلف نسبت به دو ساختار دیگر است. برای



شکل (۱۷) میزان THD برای بارهای مختلف.



شکل (۱۸) تغییرات میزان THD در دماهای مختلف.



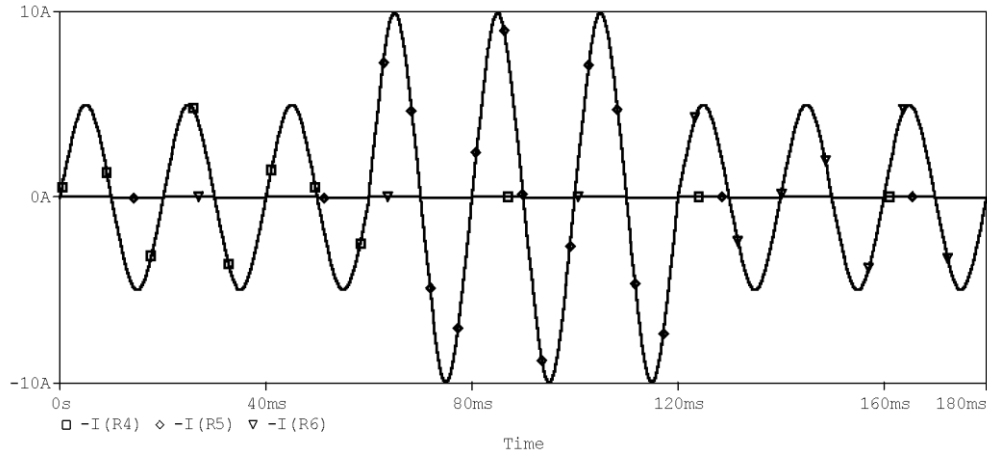
شکل (۱۹) تغییرات میزان بازدهی در توان‌های مختلف خروجی.

ولتاژ خروجی تغییر ناگهانی دارد که پس از گذشت از حالت گذار خود، به حالت پایدار خود می‌رسد.

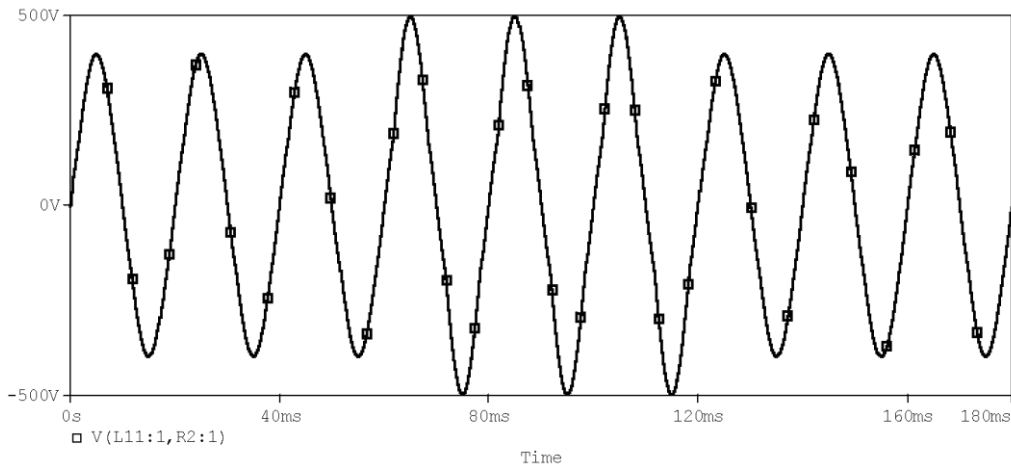
شکل‌های (۲۱) و (۲۲) نیز بیان‌گر تغییر ناگهانی در میزان ولتاژ مرجع است. با تغییر در میزان ولتاژ مرجع کنترلی،

شده است که در اینورتر پیشنهادی نسبت به اینورتر پیشنهادی در [۹] تعداد المان‌های کمتری دارد که نتایج این مقایسه در جدول زیر نشان داده شده است.

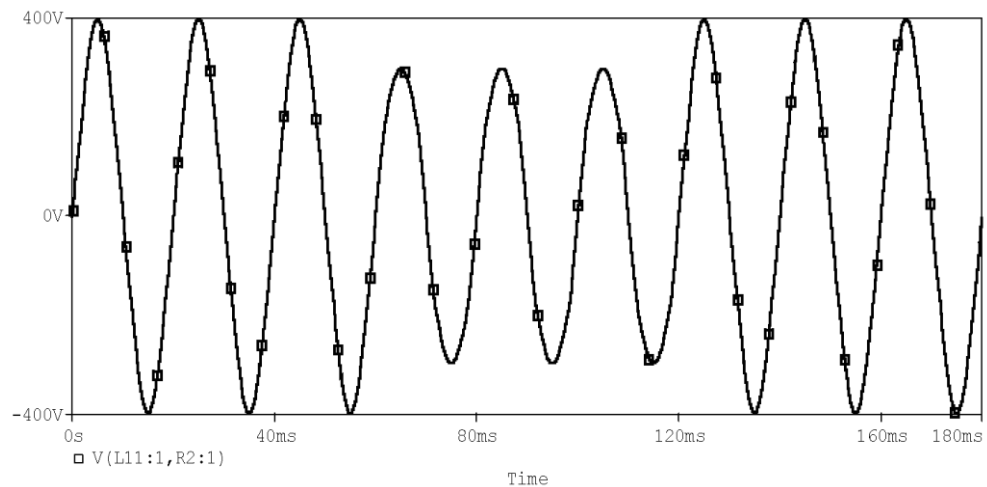
امروزه کاهش تعداد المان‌ها در کاهش میزان قیمت تمام شده مدارات به خصوص مبدل‌های انرژی‌های نو، به عنوان نگران کننده ترین قسمت طراحی مبدل‌ها تبدیل



شکل (۲۰) تغییر ناگهانی در میزان جریان خروجی به ازای تغییر کاهشی بار.



شکل (۲۱) تغییر ناگهانی در میزان ولتاژ خروجی به ازای تغییر افزایشی پلهی ولتاژ مرجع.



شکل (۲۲) نحوه‌ی تغییر میزان ولتاژ خروجی در تغییر کاهشی پلهی ولتاژ مرجع.

۶ - نتیجه‌گیری

در این مقاله، یک ساختار اینورتر پنج‌سطحی با میزان THD کم برای کاربرد تحرک الکتریکی شناور ارائه شده است. این اینورتر پنج‌سطحی چندین امتیاز نسبت به ساختارهای مشابه خود دارد که می‌توان به میزان THD کم، تعداد کلیدهای کم، فرکانس زیاد، توان تلفاتی کم و قابلیت انتقال توان راکتیو اشاره نمود. برای بررسی صحت طراحی، با استفاده از نرم‌افزار PSpice و PLECS شبیه‌سازی‌های مختلفی بر روی مدار پیشنهادی صورت گرفت که نتایج شبیه‌سازی درستی طراحی را نشان می‌دهند. با مقایسه بین ساختارهای مختلف، طرح پیشنهادی بازدهی بیشتری در توان‌های خروجی زیاد دارد که آن را مناسب برای کاربردهایی هم‌چون استفاده در سیستم تحرک الکتریکی شناور می‌کند. مقایسه‌ای نیز بین مقدار THD در بارهای مختلف و بین ساختارهای مختلف صورت گرفت که بیان‌گر میزان THD کم‌تر اینورتر پیشنهادی نسبت به سایر ساختارها است.

۷ - مراجع

- [9] Buticchi, G., Lorenzani, E., and Franceschini, G., "A Five-Level Single-Phase Grid-Connected Converter for Renewable Distributed Systems," *Ind. Electron. IEEE Trans.*, Vol.60, No.3, pp.906-918, 2013.
- [10] Zhang, Y. and Sun, L., "An Efficient Control Strategy for a Five-Level Inverter Comprising Flying-Capacitor Asymmetric H-Bridge," *IEEE Transactions on Industrial Electronics*, Vol.58, No.9, pp.4000-4009, 2011.
- [11] Park S.J., Kang F.S., Lee M. H. and Kim C. U. , "A New Single-Phase Five-Level PWM Inverter Employing a Deadbeat Control Scheme," *IEEE Transactions on Power Electronics*, Vol.18, No.3, pp.831-843, 2003.
- [12] Babaie, A., Karami B. and Abrishamifar, A. "Improved Equations of Switching Loss and Conduction Loss in SPWM Multilevel Inverters," 7th Power Electronics and Drive Systems Technologies Conference (PEDSTC), Tehran, pp.559-564, 2016.
- [13] Channegowda, P. and John, V., "Filter Optimization for Grid Interactive Voltage Source Inverters", *IEEE Transactions on Industrial Electronics*, Vol.57, No.12, pp.4106-4114, 2010.
- [14] Liserre, M., Blaabjerg, F. and Hansen, S., "Design and Control of an LCL Filter-Based Three-Phase Active Rectifier", *IEEE Transactions on Industry Applications*, Vol.41, No.5, pp.1281-1291, 2005.
- [15] Yusof, N. A., Sapari, N. M., Mokhlis, H. and Selvaraj, J., "A Comparative Study of 5-Level and 7-level Multilevel Inverter Connected to the Grid", *Power and Energy (PECon), IEEE International Conference on*, Kota Kinabalu, pp.542-547, 2012.
- [1] Barnum S.R. and Bridges J. A., "Naval Engineering in the 21st Century," *Naval Engineers Journal*, Special Report 306, 2011.
- [2] R. L. Harrington, *Marine engineering: Society of Naval Architects & Marine Engineers*, Jersey City, N.J., 1992.
- [3] Patel, M. R., *Shipboard Propulsion, Power Electronics, and Ocean Energy: CRC Press*, 2012.
- [4] Blank, D. A., *Introduction to Naval Engineering: Naval Inst Pr*, 1986.
- [5] Elsharty, M. A. "Passive L and LCL Filter Design Method for Grid-Connected Inverters," 2014 *IEEE Innovative Smart Grid Technologies - Asia (ISGT ASIA)*, Kuala Lumpur, pp.13-18, 2014.
- [6] Mühlethaler, J. Kolar, J. W. and Ecklebe, A. "Loss Modeling of Inductive Components Employed in Power Electronic Systems," 8th *International Conference on Power Electronics - ECCE Asia*, Jeju, , pp.945-952, 2011
- [7] Zhang C., Dragicevic, T., Vasquez, J. C. and Guerrero, J. M., "Resonance Damping Techniques for Grid-Connected Voltage Source Converters with LCL Filters — A Review," *IEEE International Energy Conference, Cavtat*, pp.169-176, 2014
- [8] Abdalla, I. Corda J. and Zhang, L. "Multilevel DC-Link Inverter and Control Algorithm to Overcome the PV Partial Shading," *IEEE Transactions on Power Electronics*, Vol.28, No.1, pp.14-18, 2013.